

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-146682

(43)Date of publication of application : 05.06.1990

(51)Int.Cl.

G06F 15/62

G01B 11/24

G01N 21/88

G01R 31/28

G06F 15/70

H05K 3/00

(21)Application number : 63-301898

(71)Applicant : NIPPON SEIKO KK

(22)Date of filing : 28.11.1988

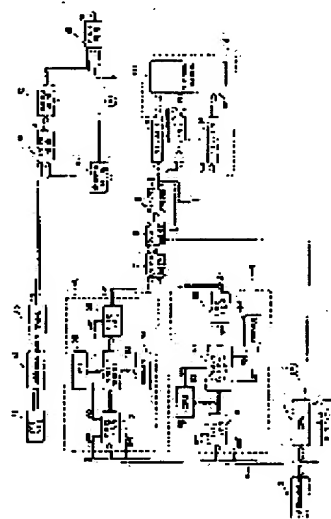
(72)Inventor : AOYAMA YOSHIYUKI

(54) METHOD AND DEVICE FOR INSPECTING PATTERN DEFECT

(57)Abstract:

PURPOSE: To efficiently detect a true defect in an inspection pattern by setting an inspection object part and a non-inspection part according to the inspection pattern and forming a comparison pattern for masking the non-inspection part.

CONSTITUTION: The inspection object part and the non-inspection part are set according to the inspection pattern, the first comparison pattern A for masking the non-inspection part is formed, the first comparison pattern is A is compared with the inspection pattern B, and the difference information obtained by the comparison is taken out as the first defect information C. Further, the second comparison pattern D for setting a defect allowable area to the first defect information is formed based on the first comparison pattern A, and the first defect information C existing in an area except the defect allowable area is detected as the defect. Thus, only the true defect in the inspection pattern can be efficiently detected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Best Available Copy

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright.(C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A) 平2-146682

⑤Int. Cl.⁵ 識別記号 庁内整理番号 ⑬公開 平成2年(1990)6月5日
 G 06 F 15/62 4 0 5 A 8419-5B
 G 01 B 11/24 F 8304-2F
 G 01 N 21/88 F 2107-2G
 G 01 R 31/28
 G 06 F 15/70 3 3 0 N 7368-5B
 H 05 K 3/00 Q 6921-5E
 6912-2G G 01 R 31/28 H
 審査請求 未請求 請求項の数 2 (全 15 頁)

⑭発明の名称 パターン欠陥検査方法及び装置

⑯特 願 昭63-301898

⑰出 願 昭63(1988)11月28日

⑱発 明 者 青 山 喜 行 神奈川県藤沢市鶴沼桜ヶ岡3-1-2-303

⑲出 願 人 日本精工株式会社 東京都品川区大崎1丁目6番3号

⑳代 理 人 弁理士 渡 部 敏 彦

明 示 部 分

1. 発明の名称

パターン欠陥検査方法及び装置

2. 特許請求の範囲

1. マスタパターンと、撮像手段によって被検査物

上にある検査パターンを2値化した情報とを比較し、該比較結果に基づいて検査パターンの欠陥判定を行うパターン欠陥検査方法において、検査パターンに応じて検査対象部分と非検査部分とを設定し、非検査部分をマスクするための第1の比較パターンを形成し、該第1の比較パターンと検査パターンとを比較してその差分情報を第1の欠陥情報として取り出すと共に、前記第1の比較パターンに基づいて前記第1の欠陥情報に欠陥許容領域を設定するための第2の比較パターンを形成し、該欠陥許容領域以外の領域にある前記第1の欠陥情報を欠陥として検出することを特徴とするパターン欠陥検査方法。

2. マスタパターンと、撮像手段によって被検査物

上にある検査パターンを2値化した情報とを比較し、該比較結果に基づいて検査パターンの欠陥判定を行うパターン欠陥検査装置において、検査パターンに応じて検査対象部分と非検査部分とを設定し、非検査部分をマスクするための第1の比較パターンを形成する第1の比較パターン形成手段と、該第1の比較パターンと検査パターンとを比較してその差分情報を第1の欠陥情報として取り出す第1の欠陥情報発生手段と、前記第1の比較パターンに基づいて前記第1の欠陥情報に欠陥許容領域を設定するための第2の比較パターンを形成する第2の比較パターン形成手段と、該欠陥許容領域以外の領域にある前記第1の欠陥情報を欠陥として検出する第2の欠陥情報発生手段とを設けたことを特徴とするパターン欠陥検査装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、図形や配線パターンの欠陥を判定するパターン欠陥検査方法及び装置に関し、特に被検査パターンをマスタパターンと比較することに

より欠陥部を検出するパターン欠陥検査方法及び装置に関する。

(従来の技術)

配線パターンの欠け、突起等の欠陥を検出する欠陥検査装置として、被検査物上の検査パターンと、欠陥のない配線パターン(以下「マスタパターン」という)とを夫々撮像装置により映像信号に変換し、その映像信号を2値化して互いに対応する各々の2値化信号を比較することにより欠陥を検出するようにしたものが従来より提案されている(例えば特開昭62-272379号公報)。

この従来の検査装置によれば、検査パターン又はマスタパターンのいずれか一方を第6図に示すように拡大及び縮小して各々の輪郭線を抽出し(第6図の一点鎖線が拡大したパターンの、破線が縮小したパターンの輪郭線を示す)、拡大されたパターンの輪郭線上に配線パターンがある(同図Pの部分)とき、及び縮小されたパターンの輪郭線上に基材部(即ち、配線パターン以外の部分)がある(同図Qの部分)とき、これらのP、Qの

部分を欠陥と判定する。これにより、拡大又は縮小された輪郭線にかからないような小さな欠陥は検出されず、比較的大きな欠陥のみ検出される。

(発明が解決しようとする課題)

実際のパターン欠陥検査時には、検査パターン又はマスタパターンに部品挿入用の穴がある場合と無い場合があるため、それらの組合わせによって以下の4通りのケースが発生する。

ケースⅠ…検査パターン及びマスタパターンの

双方に穴がある場合

ケースⅡ…検査パターンに穴があり、マスタパ

ターンに穴がない場合

ケースⅢ…検査パターンに穴がなく、マスタパ

ターンに穴がある場合

ケースⅣ…検査パターン及びマスタパターンの

双方に穴がない場合

例えば、コンピュータエイドデザイン(以下「CAD」という)によって設計されたパターンの場合、設計時点でフォトリソ用データ(2値化されたデータ)が作成されるので、この

- 3 -

フォトリソ用データをマスタパターンデータとして使用して検査パターンとの比較を行うのが効率的であるが、通常このフォトリソ用データには部品挿入用の穴が含まれていない。一方CADによらずに設計されたプリント基板作成用のマスタフィルムから読み込まれたマスタパターンデータには部品挿入用の穴が含まれている。また、被検査物の方も穴あけ前のものである場合と、穴あけ後のものである場合とがあるので、上記ケースⅠ～Ⅳの4通りのケースが発生するのである。

一方、上述の従来の欠陥検査装置は、検査パターンとマスタパターンとが欠陥部分以外は略同一であることを前提としているため、上記ケースⅡの場合には本来欠陥でない部品挿入用の穴を欠陥と誤判定したり、ケースⅢの場合には穴あけ前の基板であって穴がないのが正常であるのに、穴がないことを欠陥と誤判定するという問題が発生する。

本発明はこのような問題を解決するためになされたものであり、配線パターンとしての機能を持

- 4 -

たうことのない小さな凹凸は検出しないようにすると共に、検査パターン又はマスタパターンにおける部品挿入用穴の有無に拘らず、検査パターンの真の欠陥のみを効率的に検出することができるパターン欠陥検査方法及び装置を提供することを目的とする。

(課題を解決するための手段)

上記目的を達成するため本発明は、マスタパターンと、撮像手段によって被検査物上にある検査パターンを2値化した情報とを比較し、該比較結果に基づいて検査パターンの欠陥判定を行うパターン欠陥検査方法において、検査パターンに応じて検査対象部分と非検査部分とを裁定し、非検査部分をマスクするための第1の比較パターンを形成し、該第1の比較パターンと検査パターンとを比較してその差分情報を第1の欠陥情報として取り出すと共に、前記第1の比較パターンに基づいて前記第1の欠陥情報に欠陥許容領域を設定するための第2の比較パターンを形成し、該欠陥許容領域以外の領域にある前記第1の欠陥情報を欠陥

- 5 -

—768—

- 6 -

として検出するようにしたり、マスタパターンと、撮像手段によって被検査物上にある検査パターンを2値化した情報とを比較し、該比較結果に基づいて検査パターンの欠陥判定を行うパターン欠陥検査装置において、検査パターンに応じて検査対象部分と非検査部分とを設定し、非検査部分をマスクするための第1の比較パターンを形成する第1の比較パターン形成手段と、該第1の比較パターンと検査パターンとを比較してその差分情報を第1の欠陥情報として取り出す第1の欠陥情報発生手段と、前記第1の比較パターンに基づいて前記第1の欠陥情報に欠陥許容領域を設定するための第2の比較パターンを形成する第2の比較パターン形成手段と、該欠陥許容領域以外の領域にある前記第1の欠陥情報を欠陥として検出する第2の欠陥情報発生手段とを設けたりしたものである。
(作用)

第1の比較パターンによって部品挿入用の穴がマスクされ、第2の比較パターンによって設定される欠陥許容領域以外の領域にある欠陥のみ検出

される。

(実施例)

以下本発明の一実施例を添付図面に基づいて説明する。

第1図は、本発明に係るパターン欠陥検査装置主要部のブロック構成図であり、同図中1は第1の中央演算装置（以下「CPU」という）であり、バスライン4を介して外部記憶装置2と、マスタパターン発生回路5と、パッドパターン発生回路6とに接続され、更に第1と第2の同期遅延回路10、15及び被検査基板を搭載するX-Yテーブル（図示せず）の駆動装置3に接続されている。第1のCPUは、外部記憶装置2に記憶されているパターンデータの、マスタパターン発生回路5及びパッドパターン発生回路6への転送（書き込み）制御、同期遅延回路10、15によるパターンデータのタイミング制御、及びパターンデータに基づくX-Yテーブル位置制御を行う。外部記憶装置2には、パターンデータとして、マスタパターンデータと、部品挿入用の穴位置及び穴径の

- 7 -

データ（以下「穴データ」という）とが記憶されており、第1のCPUからの指令によりマスタパターンデータはマスタパターン発生回路5に、穴データはパッドパターン発生回路6に夫々供給される。上記マスタパターンデータとしては、例えばCADによるフォトリソグラフィパターンデータ、あるいは基板作成用のマスタフィルムから読み込んだパターンデータが用いられる。なお、通常CADで作成されたパターンデータには部品挿入用の穴がデータとして含まれていないのに対し、マスタフィルムから読み込んだパターンデータには部品挿入用の穴がデータとして含まれている。

マスタパターン発生回路5は、前記外部記憶装置2に記憶されているマスタパターンデータがメモリ容量節約のため圧縮されているので、これを復調する（圧縮されていない状態にもどす）ための回路であり、データが書き込んだ順に読み出される第1のメモリ（いわゆるファーストインファーストアウトメモリ、以下「FIFOメモリ」という）51と、第2のCPU52と、圧縮データ

- 8 -

復調用IC53と、第1の補助メモリ54と、第2のFIFOメモリ55とにより構成される。ここで、WRは書き込み指令、RDは読み出し指令、INTは割込み信号を示しており、割込み信号INTはFIFOメモリにおけるデータ伝送の遅れ、あるいはエラーの発生を第1のCPUに知らせるための信号である。

第1のFIFOメモリ51には、前記外部記憶装置2からのマスタパターンデータが第1のCPUの書き込み指令に基づいて入力され、該マスタパターンデータは圧縮データ復調用IC53からの読み出し指令に応じて該IC53に入力される。圧縮データ復調用IC53は、第2のCPU52及び第1の補助メモリ54に接続されており、第2のCPU52の指令に基づいて、第1の補助メモリ54を用いて入力された圧縮パターンデータを復調し、該復調したパターンデータを第2のFIFOメモリ55に入力する。この第2のFIFOメモリ55の出力がマスタパターン発生回路5の出力、即ちマスタパターンデータとして、第1

- 9 -

- 10 -

の排他的論理和回路（以下「E X-O R 回路」という）に入力される。

パッドパターン発生回路 6 は、前記穴データに基づいて部品挿入用の穴位置を中心とした所定領域に対応するパッドパターン（後述する第 3 図（a）の（ロ）参照）を発生する回路であり、第 3 の F I F O メモリ 6 1 と、第 3 の C P U 6 2 と、グラフィックディスプレイコントローラ 6 3 と、第 2 の補助メモリ 6 4 と、第 4 の F I F O メモリ 6 5 とにより構成される。

第 3 の F I F O メモリ 6 1 には、前記外部記憶装置 2 からの穴データが第 1 の C P U の書き込み指令に基づいて入力され、該穴データは第 3 の C P U 6 2 の読み出し指令によりグラフィックディスプレイコントローラ 6 3 に入力される。第 3 の C P U 6 2 は、第 3 の F I F O メモリ 6 1 から出力される穴データをモニタして該穴データの読み出し及びグラフィックディスプレイコントローラ 6 3 への書き込みを制御する。グラフィックディスプレイコントローラ 6 3 は、穴データとグラフ

ィックディスプレイ上に設定されるパッド形状（オペレータが前記ケース I ~ IV に応じて設定する）に基づいて、第 2 の補助メモリ 6 4 を用いてパッドパターンデータを作成し、該作成データを第 4 の F I F O メモリに入力する。第 4 の F I F O メモリの出力が、パッドパターン発生回路 6 の出力、即ちパッドパターンデータとして前記 E X-O R 回路 7 に入力される。

E X-O R 回路 7 は、2つの入力データ、即ちマスクパターンデータとパッドパターンデータとの排他的論理和演算を行い、該演算結果をウィンドウ切換装置 5 を介してウィンドウ処理回路 8 に入力する。ウィンドウ切換装置 5 は第 1 の C P U 1 からの指令により、パターンデータをウィンドウ処理回路 8 に入力せずに、バイパス回路 8' 側に切換える装置である。ウィンドウ処理回路 8 は、後述するウィンドウ処理を行い、その出力データをマスクパターン発生回路 9 及び第 1 の同期遅延回路 10 に入力する。

マスクパターン発生回路 9 は、後述の拡大/縮

- 11 -

小処理等を行ってパターンの欠陥検出を行わない領域（欠陥許容領域、以下「マスク領域」という）のパターンを発生する回路であり、拡大/縮小の度合に応じた数 No のラインメモリ 9 1 と、マスク領域決定回路 9 2 とにより構成される。第 1 番目のラインメモリ 9 1 の入力側には、前記ウィンドウ処理回路 8 の出力側が接続され、第 i 番目のラインメモリ 9 1 の入力側には第 (i-1) 番目のラインメモリ 9 1 の出力側が接続され（ただし、i = 2 ~ No）、すべてのラインメモリ 9 1 の出力側はマスク領域決定回路 9 2 に接続されている。マスク領域決定回路 9 2 は、ラインメモリ 9 1 からの入力データに基づいてマスク領域を決定し、マスクパターンデータ（第 2 の比較パターンデータ）としてマスク回路 16 に入力する。

前記第 1 の同期遅延回路 10 は、前記ウィンドウ処理回路 8 の出力データと、後述する被検査基板上の検査パターンデータとの同期をとるための遅延回路であり、前記第 1 の C P U により制御される。この第 1 の同期遅延回路 10 の出力データ

は、第 1 の比較パターンデータとして第 2 の E X-O R 回路 14 に入力される。

C C D カメラ 11 は、X-Y テーブル上の被検査基板上のパターンを光学信号として検出して電気信号に変換し、検査パターンデータとして感度補正回路 12 に入力する。感度補正回路 12 は検査パターンデータ（アナログ信号）のレベル補正を行い、該補正した検査パターンデータを 2 値化回路 13 に入力する。2 値化回路 13 は、入力された検査パターンデータを 2 値化信号（本実施例では被検査基板上の配線パターン部を値 0、基材部を値 1 とする信号）に変換し、該 2 値化された検査パターンデータを前記第 2 の E X-O R 回路 14 に入力する。

第 2 の E X-O R 回路 14 は、2つの入力データ、即ち前記第 1 の比較パターンデータと検査パターンデータとの排他的論理和演算を行い、該演算結果を第 1 の欠陥情報として第 2 の同期遅延回路 15 を介してマスク回路 16 に入力する。第 2 の同期遅延回路 15 は、前記マスクパターン発生

- 12 -

- 13 -

回路9からのマスクパターンデータと、第1の欠陥情報、即ち第2のEX-OR回路14の出力データとの同期をとるための遅延回路であり、前記第1のCPUにより制御される。マスク回路16は、2つの入力データ、即ちマスクパターンデータと第1の欠陥情報との論理積演算を行い、該演算結果を最終的な欠陥情報（第2の欠陥情報）として出力する。

本実施例においては、CCDカメラ11、感度補正回路12、及び2値化回路13により撮像手段が構成され、第1のCPU1、外部記憶装置2、マスクパターン発生回路5、パッドパターン発生回路6、第1のEX-OR回路7、及びウィンドウ処理回路8により第1の比較パターン形成手段が構成され、第1のCPU1、第1の同期遅延回路10、及び第2のEX-OR回路14により第1の欠陥情報発生手段が構成され、マスクパターン発生回路9により第2の比較パターン形成手段が構成され、第1のCPU、第2の同期遅延回路15、及びマスク回路16により第2の欠陥情報

発生手段が構成される。

前記第1図中の符号（イ）～（ニ）、（チ）～（ル）は、後述する第2図及び第3図中の同じ符号に対応するものである。

次に第2図及び第3図を参照して、第1図のパターン欠陥検査装置の作用を説明する。第2図は第1図のパターン欠陥検査装置におけるデータ処理内容を示すブロック図であり、各ブロックには第1図中の対応する符号を付してある。マスクパターン発生回路9の拡大処理回路901及び縮小処理回路902は、ラインメモリ91とマスク領域決定回路92の一部により構成され、第3のEX-OR回路903と反転回路904とはマスク領域決定回路92に含まれている。拡大処理回路901及び縮小処理回路902の出力データは、第3のEX-OR回路903に入力され、該第3のEX-OR回路903の出力データが反転回路904により反転されてマスクパターンデータとして出力される。第3図は、部品挿入用の穴を含む典型的な配線パターン例の欠陥を検出する場合の、第2図各部におけるパタ

- 15 -

ーンを示す図であり、第3図中の（イ）～（ル）は第1図、第2図において同じ符号を付した箇所に対応する。尚、第3図中クロスハッチで示した部分（以下「黒の部分」という）が2値データの値1に、それ以外の部分（以下「白の部分」という）が値0に夫々対応する。

第3図（a）は、前述のケース1、即ちマスクパターン及び検査パターンの双方に部品挿入用の穴がある場合の例を示している。この場合、パッドパターンとして同図（ロ）に示すような白黒市松模様のパターンが前記欠データに基づいて作成され（パッドパターン発生回路6）、該パッドパターン（ロ）と、マスクパターン発生回路5からのマスクパターン（イ）との排他的論理和演算（以下「EX-OR演算」という）が行われる（第1のEX-OR回路7）。このEX-OR演算は、（1, 1）又は（0, 0）の入力に対しては値0を、（1, 0）又は（0, 1）の入力に対しては値1を出力する演算、即ち2つの入力パターンの異なる部分を値1として出力する演算であ

- 17 -

—771—

る。本実施例においては、黒の部分を値1に、白の部分を値0に夫々対応させているので、このEX-OR演算の結果、（黒, 黒）又は（白, 白）の部分は白、（白, 黒）の部分は黒となって同図（ハ）のパターンが得られる。

次に、第1図のウィンドウ切換装置Sを第1のCPU1の指令によりウィンドウ処理回路8側に連結し、同図（ハ）のB部、即ちパッドパターン部のみウィンドウ処理を行い、第1の比較パターン（ニ）を得る。第4図はこのウィンドウ処理の原理を示す図であり、ウィンドウ処理回路8は例えば3つのラインメモリ401と、3×3画素分の2次元メモリ402と、論理和回路403とにより構成される。ラインメモリ401は、パターンデータ値の横方向（即ち、CCDカメラ11の走査方向）の画素数と同数の記憶素子からなり、所定の同期信号に同期してパターンデータが入力側（左端）から出力側（右端）に順次移動していく。各ラインメモリ401から出力されるパターンデータはその段の2次元メモリ402及び次の段のラインメモ

- 18 -

リ401に入力される。2次元メモリ402は、 3×3 画素の2次元パターンを記憶するもので、ラインメモリ401からの画素毎のパターンデータを、前記同期信号に同期して左から右へ順次移動していくことにより、2次元パターンを 3×3 画素の大きさに順次格納する。論理和演算回路403は、2次元メモリ402の全画素データの論理和演算を行い、全画素白(値0)のときのみ白を出力し、1つでも黒(値1)の画素があるときには黒を出力する。従って、 3×3 画素の範囲内で白と黒の画素が混在する場合、 3×3 画素すべて黒となる。

上述の例は 3×3 画素の場合であるが、ラインメモリの数及び2次元メモリのメモリ容量を増加させれば任意の $N \times N$ 画素の範囲を対象としたウインドウ処理を行うことができる。

再び第2図と第3図(a)とを併せて参照して、前記第1の比較パターン(二)は、第2のEX-OR回路14に入力され、パターン(リ)に示す検査パターンとのEX-OR演算が行われて、第1の欠陥情報(ヌ)が得られる。ここに、検査パ

ターン(リ)には、検出する必要のない(即ち、被検査基板の品質に影響しない程度の)比較的小さな欠陥 $x_1 \sim x_i$ と、検出すべき比較的大きな欠陥 $y_1 \sim y_j$ とがある例を示している。また、第1の欠陥情報(ヌ)の一点斜線は検査パターン(リ)の輪郭を参考のために示したものであって、実際には黒部分のみ値1として出力され、他の部分は値0(白)として出力される。

一方、第1の比較パターン(二)は拡大処理回路801により拡大処理されてパターン(ホ)が得られ、同時に縮小処理回路802により縮小処理されてパターン(ヘ)が得られる。ここで、拡大/縮小とは黒(値1)の部分を拡大/縮小するという意味であり、第5図にその拡大/縮小処理回路の原理を示す。

第5図の501、502は夫々第4図の401、402と同じラインメモリ、2次元メモリであり、拡大出力は前記ウインドウ処理と同様に全画素データの論理和演算によりえられ、縮小出力は全画素データの論理積演算により得られる。即ち、拡大処理の

- 19 -

場合には 3×3 画素の範囲内に1つでも黒の画素があれば、 3×3 画素すべて黒として出力されるので、黒の部分が拡大されるのに対し、縮小処理の場合には 3×3 画素の範囲内に1つでも白の画素があれば、 3×3 画素すべて白として出力されるので、黒の部分が縮小される。この拡大/縮小処理も、前記ウインドウ処理と同様に任意の $N \times N$ 画素を対象とすることができ、 N に応じて拡大/縮小の度合が変化するもので、検出したい欠陥の程度(大きさ)に応じて N が設定される。

第3図(a)にもどり、拡大されたパターン(ホ)と縮小されたパターン(ヘ)とのEX-OR演算を行う(第3のEX-OR回路003)ことにより、パターン(ト)が得られ、更にこれを反転する(反転回路004)ことによりマスクパターン(第2の比較パターン)(チ)が得られる。

次いで、前記第1の比較パターンと検査パターンとのEX-OR演算により得られた第1の欠陥情報(ヌ)と、マスクパターン(チ)との論理積演算が行われ、最終的な欠陥情報として第2の

- 20 -

欠陥情報(ル)が得られる。この第2の欠陥情報(ル)において、破線はマスクパターン(チ)の輪郭を、一点斜線は検査パターン(リ)の輪郭を、また斜線部は欠陥検出領域(マスク領域以外の領域)を夫々参考のために示すものであって、実際の欠陥情報としては前記比較的大きな欠陥 $y_1 \sim y_j$ と斜線部の重複する領域のパターンが黒(値1)として出力され、他の領域は白(値0)として出力される。

これにより、被検査基板の品質には影響しない程度の比較的小さな欠陥 $x_1 \sim x_i$ はマスクパターン(チ)によってマスクされ、該基板の品質劣化を招く比較的大きな欠陥 $y_1 \sim y_j$ は確実に検出するので、無用の再検査時間と労力を軽減し、真の欠陥のみを正確に把握することができる。

以上は第3図(a)において、パッドパターン(ロ)にウインドウ処理を行い、パターン(二)を第1の欠陥情報を得るための第1の比較パターンとした例について述べたが、次にパッドパターンをそのまま用いる他の実施例について第7図を

- 21 -

-772-

- 22 -

用いて以下説明する。

第7図は第3図(a)と同様ケースI、即ちマスターパターン及び検査パターンの両方に部品挿入用の穴がある場合において、第1図のウィンドウ切換装置Sを第1のCPUの指令によりバイパス回路S'側に連結したときの処理内容を示している。第7図の(ハ)の状態までの処理は第3図(a)の(ハ)までの処理と同様であるが、第7図においては、パターン(ハ)を第1の欠陥情報を得るための第1の比較パターンとして、検査パターン(リ)とのEX-OR演算が行われる。その結果、第1の欠陥情報としてパターン(ヌ)が得られる。

一方、パターン(ハ)は拡大処理回路901により拡大されパターン(ホ)が得られ、同時に縮小回路902より縮小処理されパターン(ヘ)が得られる。次に拡大されたパターン(ホ)と縮小されたパターン(ヘ)とのEX-OR演算を行う(第3のEX-OR回路903)ことによりパターン(ト)が得られ、更にこれを反転する(反転回路904)こと

によりマスクパターン(第2の比較パターン)

(チ)が得られる。

次いで、前記第1の比較パターン(ハ)と検査パターン(リ)とのEX-OR演算により得られた中央部に白黒縞状の第1の欠陥情報(ヌ)とマスクパターン(チ)との論理積演算が行われ、最終的な欠陥情報として第2の欠陥情報(ル)が得られる。第2の欠陥情報(ル)の斜線部以外の領域は欠陥をマスクする領域(非検査領域)である。特に(リ)で示した部分は、パターン(チ)の白い部分のCに一致し、穴部の欠陥のマスクとして働き、これはパッドパターン(ロ)の外径寸法で選ばれる。従って、パッドパターン(ロ)の外径寸法を任意に設定することにより、穴部の欠陥マスクを設定でき、第2の欠陥情報(ル)の穴まわりの欠陥を選択することができる。

パターン(ハ)から拡大/縮小して得られるパターン(ホ)及び(ヘ)は拡大/縮小処理によりパッドパターン(ロ)の市松状の縞模様は拡大パターン(ホ)においてはすべて黒になり、その直

- 23 -

径が拡大し、縮小パターン(ヘ)ではすべて白となり、その直径が縮小する。このようにパッドパターンに市松状の縞模様パターンを用いれば、穴部周辺の欠陥のマスク寸法を、任意に選ぶことができる。

第3図(b)は、前記ケースII、即ち、部品挿入用の穴がマスターパターンにはなく、被検査基板上にある場合の一例を示している。この場合は、図4(ロ)に示すパッドパターンを用いてマスターパターン(イ)とのEX-OR演算が行われ、該演算結果(ハ)のB部をウィンドウ処理することにより、第1の比較パターン(ニ)が得られる。この第1の比較パターン(ニ)は、第3図(a)の(ニ)と同じになる。

一方、被検査基板上には部品挿入用の穴があるので、被検査パターンも例えば第3図(a)の(リ)と同じとなる。従って、ケースIIにおけるパターン(ニ)～(ル)はケースIと同じになり(パターン(ホ)～(ル)は図示省略)、ケースIと同様にして最終的な欠陥情報(ル)が得られる。

- 25 -

- 24 -

このように、マスターパターンに穴がなく、検査パターンに穴がある場合であっても、検査パターンの穴を欠陥として検出することなく、真の欠陥のみ正確に把握することができる。

なおこのケースIIの場合も、ウィンドウ処理8をバイパスすることにより、第3図(b)のパターン(ハ)を第1の比較パターンとして用いても、第7図(ホ)～(ル)と同じパターンが得られ、第7図の例と同様に最終的な欠陥情報を得ることができる。

第3図(c)は、前記ケースIII、即ち部品挿入用の穴がマスターパターンにはあり、検査パターンにはない場合の一例を示している。この場合は、図4(ロ)に示すパッドパターンを用いてマスターパターン(イ)とのEX-OR演算が行われ、パターン(ハ)が得られる。次にパターン(ハ)のB部がウィンドウ処理されるが、該B部はほとんど変化せず、パターン(ハ)と同様の第1の比較パターン(ニ)が得られる。この第1の比較パターン(ニ)を拡大してパターン(ホ)、縮小し

- 26 -

てパターン(へ) (縮小処理により、第1の比較パターン(二)の中心付近の黒部分は消滅する)が得られる。更に、パターン(ホ)と(二)のE_X-O_R演算、及び値演算結果(ト)の反転処理が行われ、第2の比較パターン(チ)が得られる。

一方、検査パターンには穴がないので例えば(リ)に示すようになり、この検査パターン(リ)と第1の比較パターン(二)とのE_X-O_R演算により第1の欠陥情報(ヌ)が得られ、更にこの第1の欠陥情報と第2の比較パターン(チ)との論理積演算により最終的な欠陥情報(ル)が得られる。

ケースⅢの場合は、検査パターンに穴が無いことを欠陥として検出することがなく、真の欠陥のみを正確に把握することができる。

第3図(d)は、前記ケースⅣ、即ちマスタパターン及び検査パターンの双方に穴がない場合の一例を示す。この場合、パッドパターンは発生させないようにして、前述と同様の処理が行われ、最終的な欠陥情報(ル)が得られる。

上述のように、ケースⅠ～Ⅳに応じて適当なパッドパターンを発生させ、あるいは発生させないことにより、マスタパターン又は検査パターンにおける部品挿入用の穴の有無に拘らず、適切な欠陥検出を行うことができる。

尚、上述した実施例のケースⅠ、Ⅱにおいては、パッドパターンとして白黒市松模様のパターンを用いたが、これに限ることなく黒一色のパターン(ケースⅢのパッドパターンと同じパターン)を用いても、同様に穴部周辺のマスクをすることができるが、その場合、前記ウィンドウ処理は不要となる。

(発明の効果)

以上詳述したように本発明は、マスタパターンと、撮像手段によって被検査物上にある検査パターンと2値化した情報とを比較し、該比較結果に基づいて検査パターンの欠陥判定を行うパターン欠陥検査方法において、検査パターンに応じて検査対象部分と非検査部分とを設定し、非検査部分をマスクするための第1の比較パターンを形成し、

- 27 -

- 28 -

該第1の比較パターンと検査パターンとを比較してその差分情報を第1の欠陥情報として取り出すと共に、前記第1の比較パターンに基づいて前記第1の欠陥情報に欠陥許容領域を設定するための第2の比較パターンを形成し、該欠陥許容領域以外の領域にある前記第1の欠陥情報を欠陥として検出するようにしたり、マスタパターンと、撮像手段によって被検査物上にある検査パターンを2値化した情報とを比較し、該比較結果に基づいて検査パターンの欠陥判定を行うパターン欠陥検査装置において、検査パターンに応じて検査対象部分と非検査部分とを設定し、非検査部分をマスクするための第1の比較パターンを形成する第1の比較パターン形成手段と、該第1の比較パターンと検査パターンとを比較してその差分情報を第1の欠陥情報として取り出す第1の欠陥情報発生手段と、前記第1の比較パターンに基づいて前記第1の欠陥情報に欠陥許容領域を設定するための第2の比較パターンを形成する第2の比較パターン形成手段と、該欠陥許容領域以外の領域にある前

記第1の欠陥情報を欠陥として検出する第2の欠陥情報発生手段とを設けたりしたので、配線パターンとしての機能を損なうことのない小さな凹凸は検出しないようにすることができるのみならず、検査パターン又はマスタパターンにおける部品挿入穴の有無に拘らず検査パターンの真の欠陥のみを効率良く検出することができるという効果を奏する。

4. 図面の簡単な説明

第1図は本発明のパターン欠陥検査装置主要部のブロック構成図、第2図は第1図のパターン欠陥検査装置におけるデータ処理内容を示すブロック図、第3図は部品挿入用の穴を含む典型的な配線パターン例の欠陥を検出する場合の、第2図各部におけるパターンを示す図、第4図はウィンドウ処理の原理を示す図、第5図は拡大処理及び縮小処理の原理を示す図、第6図は従来の欠陥検出方法の一例を示す図、第7図は第2図各部におけるパターンを示す図である。

- 29 -

—774—

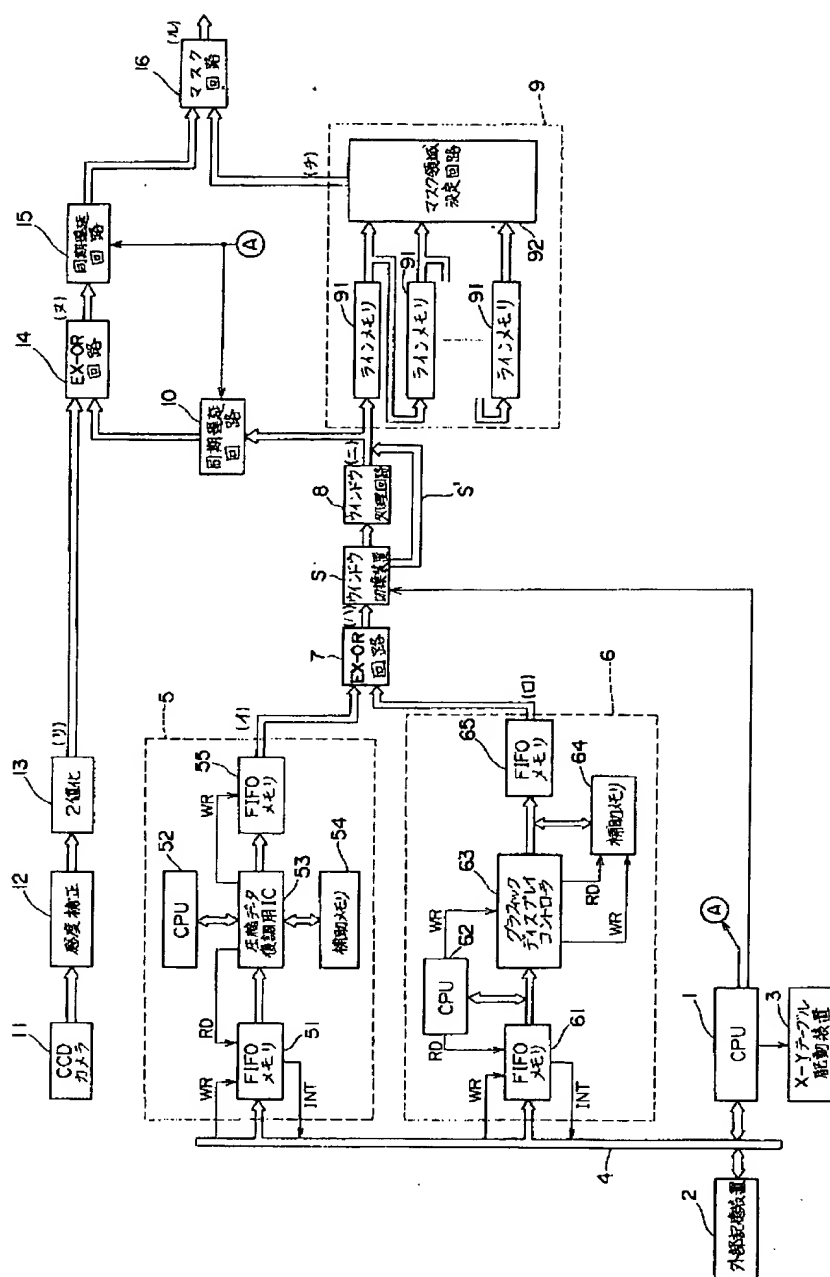
- 30 -

1…第1の中央演算装置(CPU)、2…外部記憶装置、5…マスタパターン発生回路、6…パッドパターン発生回路、7…第1の排他的論理和回路(E_X-O_R回路)、8…ウィンドウ処理回路、9…マスクパターン発生回路、10…第1の同期遅延回路、11…CCDカメラ、12…感度補正回路、13…2値化回路、14…第2の排他的論理和回路(E_X-O_R回路)、15…第2の同期遅延回路、16…マスク回路。

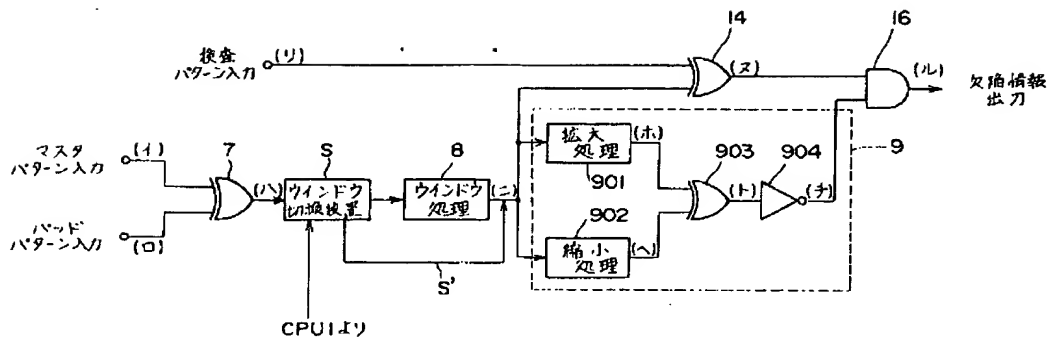
出 願 人 日 本 精 工 株 式 会 社

代 理 人 弁 理 士 渡 部 敏 彦

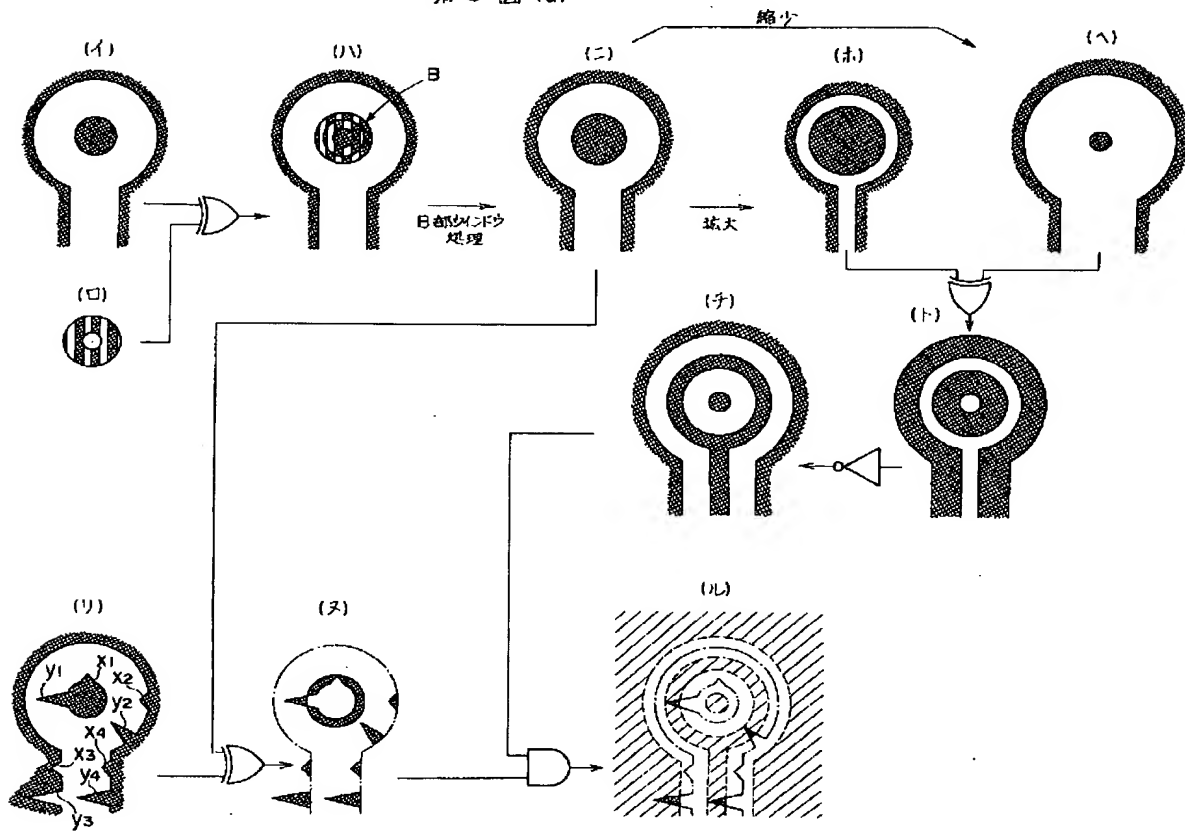
第一圖



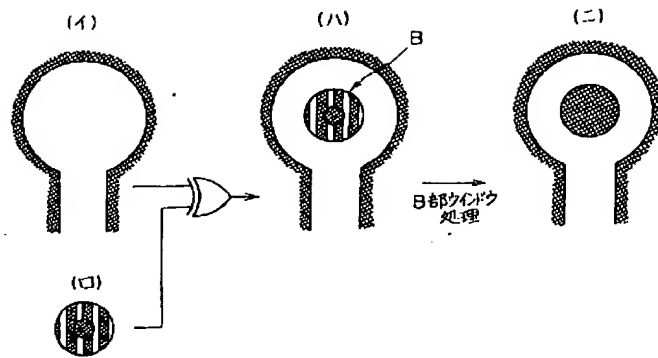
第 2 図



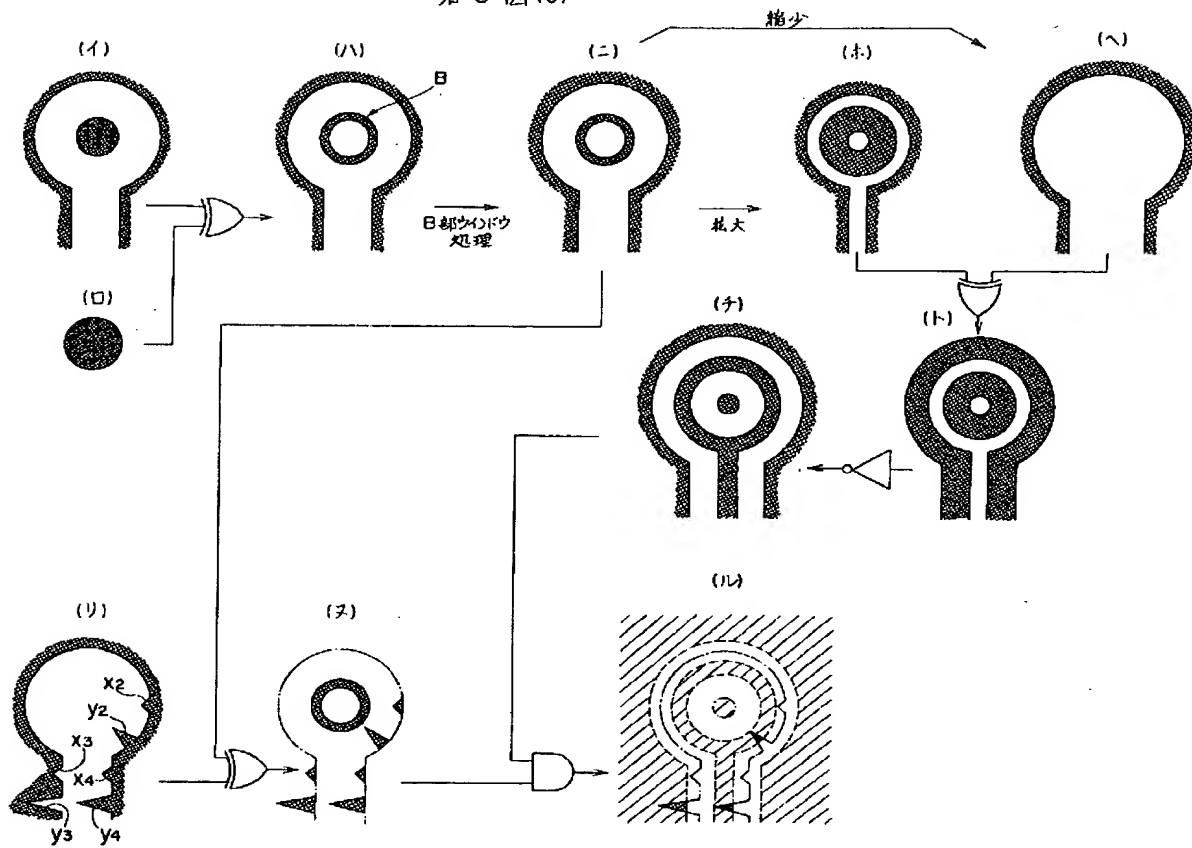
第 3 図 (a)



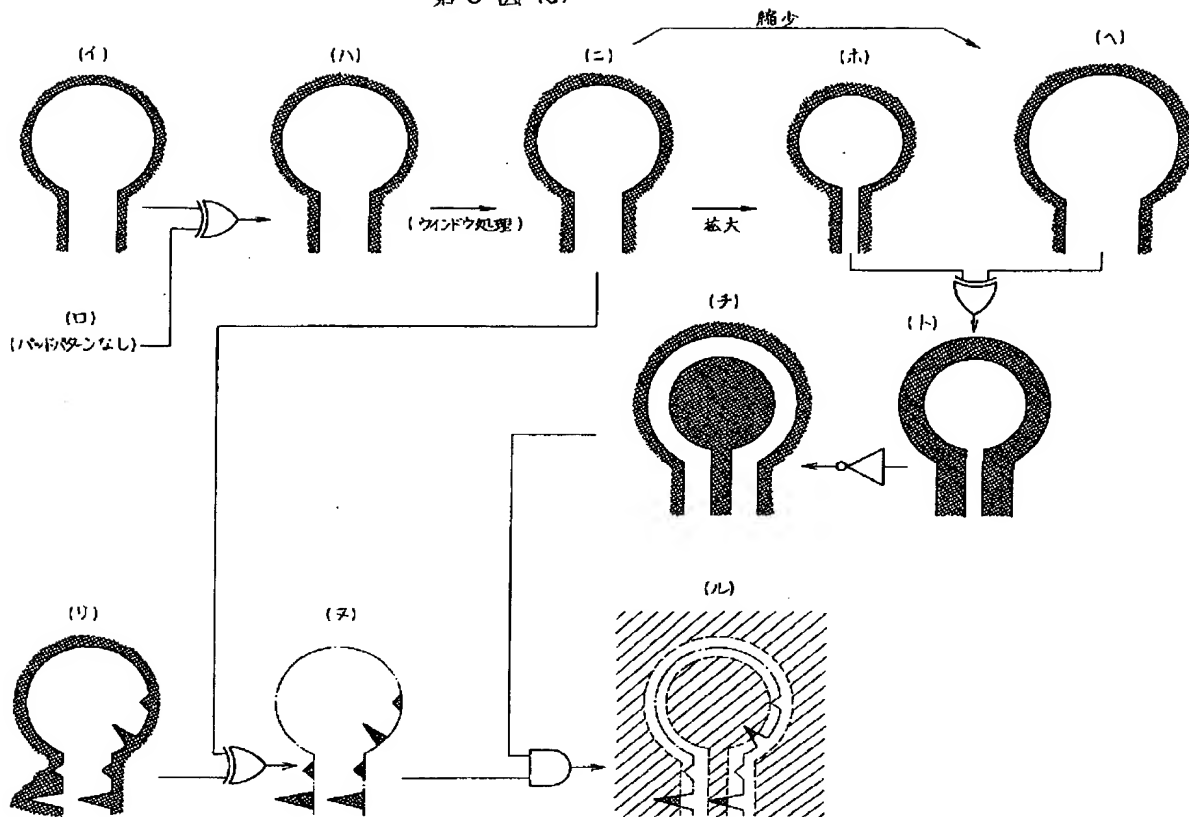
第 3 圖 (b)



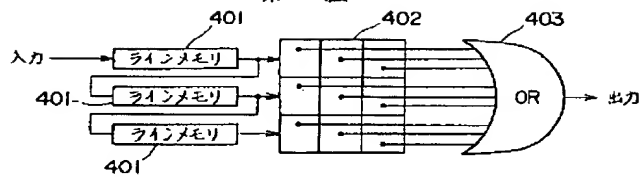
第 3 図 (c)



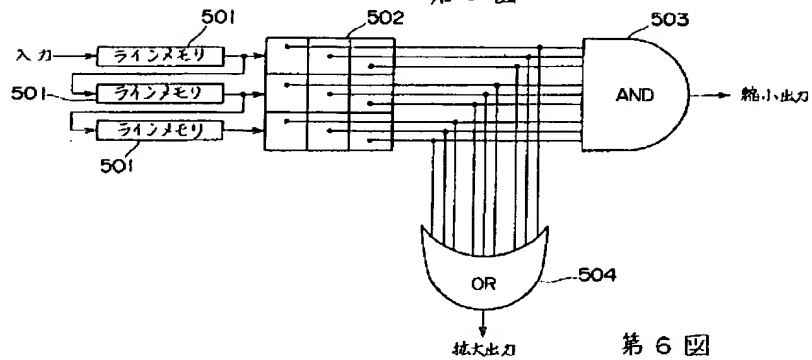
第 3 図 (d)



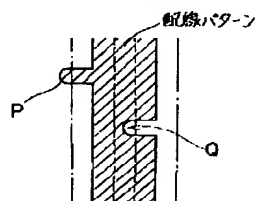
第 4 図



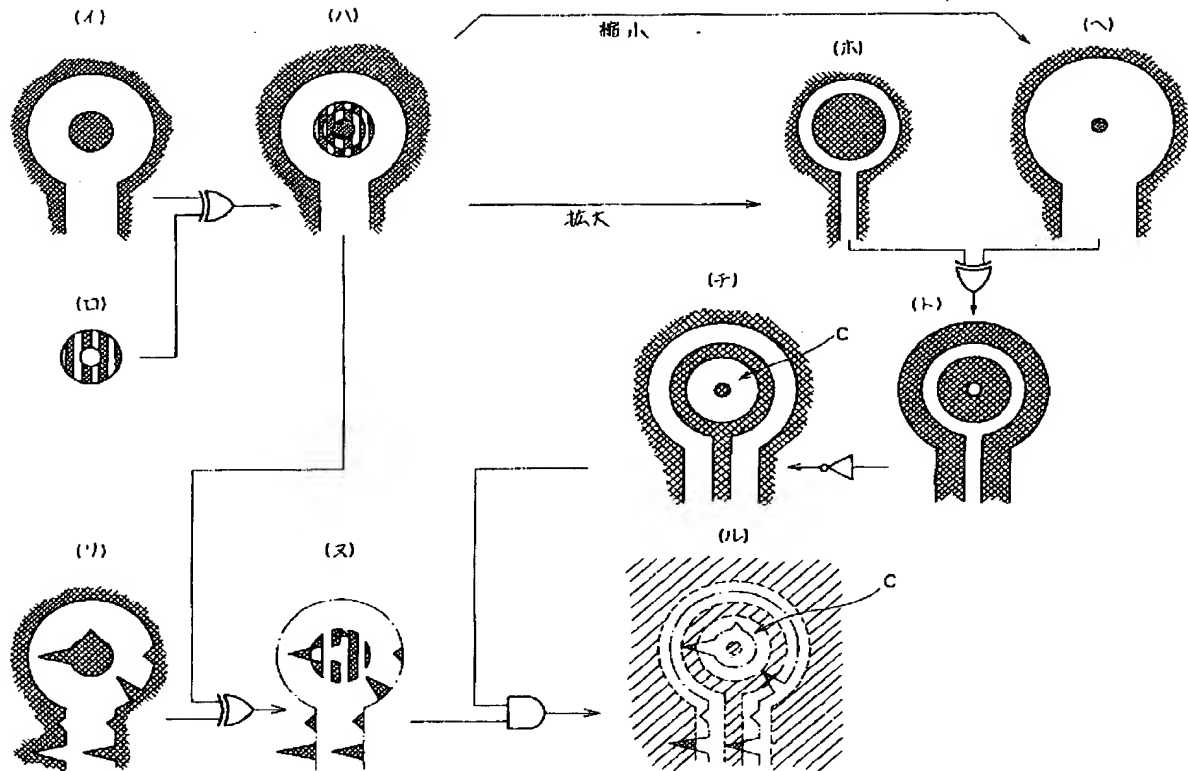
第 5 図



第 6 図



第7図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.